

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

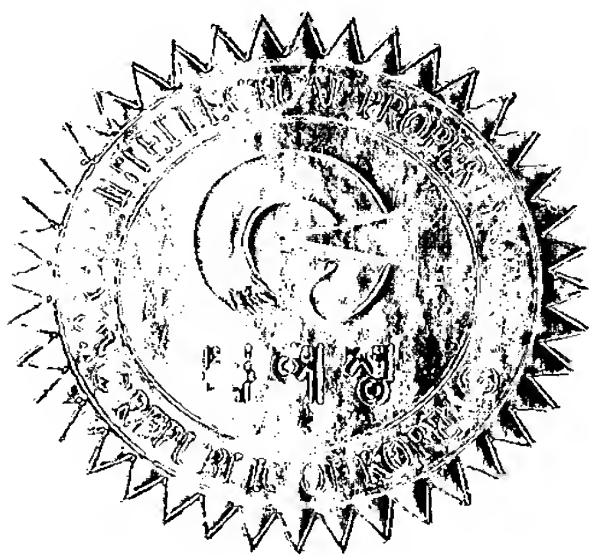
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0040753
Application Number

출원 년 월 일 : 2003년 06월 23일
Date of Application JUN 23, 2003

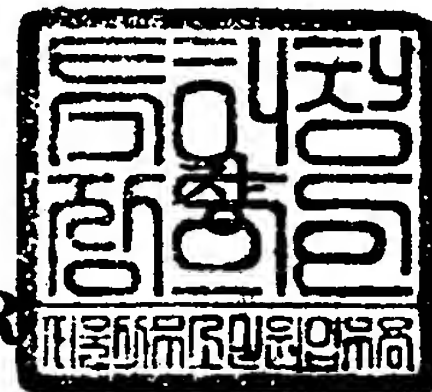
출원인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 07 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.23
【발명의 명칭】	화상 센서와 영상 처리기 간의 인터페이스 장치 및 방법
【발명의 영문명칭】	Apparatus and method for interfacing between image sensor and image processor
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철 , 이인실, 최재승, 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	이연철
【성명의 영문표기】	LEE, Yeon Cheol
【주민등록번호】	671017-1162213
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을 쌍용아파트 242동 704호
【국적】	KR
【발명자】	
【성명의 국문표기】	곽부동
【성명의 영문표기】	KWAK, Boo Dong
【주민등록번호】	721210-1101812
【우편번호】	442-821
【주소】	경기도 수원시 팔달구 원천동 70-4번지 303호
【국적】	KR
【발명자】	
【성명의 국문표기】	박상현
【성명의 영문표기】	PARK, Sang Hyun

【주민등록번호】	740420-1161911
【우편번호】	441-800
【주소】	경기도 수원시 권선구 고등동 50-4번지 대림빌라 501호
【국적】	KR
【발명자】	
【성명의 국문표기】	박형만
【성명의 영문표기】	PARK, Hyung Man
【주민등록번호】	751122-1052518
【우편번호】	135-919
【주소】	서울특별시 강남구 역삼2동 710번지 현대까르띠에 101동 601호
【국적】	KR
【발명자】	
【성명의 국문표기】	정종식
【성명의 영문표기】	JEONG, Jong Sik
【주민등록번호】	660321-1056239
【우편번호】	137-794
【주소】	서울특별시 서초구 잠원동 강변아파트 4동 902호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 청운특허법인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	12 면 12,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	13 항 525,000 원
【합계】	566,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 디지털 카메라와 같이 화상 센서와 영상처리기를 포함하는 장치에서 조사 및 제품 모델 별로 각각 달라지는 화상 센서의 처리 데이터에 따라 영상 처리기를 다르게 설계되어야 하는 시간상 비용상의 문제를 해결하기 위해 화상 센서의 처리 데이터에 따라 별도의 설계 변경 없이 화상 센서의 출력 데이터를 사용하는 영상 처리 데이터에 적합한 데이터 형태로 바꾸어 줄 수 있는 영상 처리기와 화상 센서 간의 인터페이스 장치 및 방법에 관한 것이다.

본 발명에 따른 화상 센서와 영상 처리기 간의 인터페이스 장치는, 이미지를 촬상하는 화상 센서; 상기 촬상된 이미지를 출력에 적합한 형태로 프로세싱하는 영상 처리기; 상기 화상 센서에 대한 정보를 저장하는 센서 타입 레지스터; 상기 화상 센서에 대한 정보를 상기 센서 타입 레지스터에 기록하고, 상기 화상 센서를 제어하는 마이컴; 및 상기 화상 센서로부터의 출력 신호를 수신하여, 상기 센서 타입 레지스터에 저장된 정보를 기반으로 출력단에 연결된 영상 처리기의 입력에 적절하게 변환하고, 상기 변환된 신호를 상기 영상 처리기로 전달하는 센서 신호 처리부를 포함하는 것을 특징으로 한다.

【대표도】

도 3

【색인어】

디지털 카메라, 화상 센서, 영상 처리기, 인터페이스

【명세서】**【발명의 명칭】**

화상 센서와 영상 처리기 간의 인터페이스 장치 및 방법 {Apparatus and method for interfacing between image sensor and image processor}

【도면의 간단한 설명】

도1은 종래의 영상 신호 처리 시스템의 구성을 나타낸다.

도2는 종래의 화상 센서에서 영상 처리기로 신호를 전달하기 위한 구성을 나타내는 블록도이다.

도3은 본 발명에 따른 화상 센서와 영상 처리기 간의 인터 페이스구조를 나타낸다.

도4a, 4b 및 4c는 본 발명에 따른 센서 타입 레지스터의 예시적인 구성을 나타낸다.

도5는 본 발명에 따른 센서 인터페이스의 내부 구성을 나타낸다.

도6은 본 발명에 따른 영상 처리기의 구성을 나타낸다.

도7은 화상 센서가 처리하는 데이터의 스펙을 각 제조사 및 제품 모델별로 나타낸 것이다.

<도면의 주요 부분에 대한 설명>

301 : 화상 센서

302 : 센서 인터페이스

303 : 영상 처리기

304 : 센서 신호 처리부

305 : 센서 타입 레지스터

306 : 마이컴

401 : 센서 신호 레지스터

402 : 수평 크기 레지스터

403 : 수직 크기 레지스터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 영상 처리기와 화상 센서 간의 인터페이스 장치 및 방법에 관한 것이다. 보다 구체적으로, 본 발명은 디지털 카메라 등의 영상처리기를 포함하는 장치에서 제조사 및 제품 모델 별로 각각 달라지는 화상 센서(imaging sensor)의 처리 데이터에 따라 영상 처리기(image processor)를 각각 다르게 설계하여야 하는 시간상, 비용상의 문제를 해결하기 위해 화상 센서의 처리 데이터에 따라 별도의 설계 변경 없이 화상 센서의 출력 데이터를 사용하여 영상 처리 데이터에 적합한 데이터 형태로 바꾸어 줄 수 있는 영상 처리기와 화상 센서 간의 인터페이스 장치 및 방법에 관한 것이다.

<19> 일반적으로 디지털 카메라 등 영상처리기를 포함하는 장치 또는 시스템에서는 렌즈를 통해 촬상된 이미지를 센싱하는 화상 센서에서 아날로그 화상 데이터를 획득하고, 그 데이터를 A/D(analog to digital) 변환한 후, 그 데이터를 영상 처

리기에 인가하기 위하여 매 프레임마다 동기 신호를 생성한다. 상기 동기 신호에 근거하여 영상 처리기는 화상 센서의 화소 데이터를 획득한 후 영상 처리를 거쳐 각각의 화소 데이터를 영상 부호화 과정을 위한 데이터 포맷으로 전환하여 영상 압축 부호화 과정(Image compression coding(JPEG,MPEG))으로 인가한 다음, 영상 부호화 과정을 거쳐 부호화된 이미지를 호스트 인터페이스를 거쳐 디지털 카메라의 메모리 또는 디스플레이 장치에 전달한다.

<20> 이러한 장치 또는 시스템에 채용되는 화상 센서로는 일반적으로 광학 신호를 전기 신호로 변환하는 CCD(charged coupled device) 이미지 센서 또는 CMOS(complementary metal oxide semiconductor) 이미지 센서를 사용한다.

<21> CCD 이미지 센서는 실리콘의 웨이퍼 위에 초소형 금속 전극을 여러 개 배치한 것으로서, 다수의 광 다이오드로 구성되며, 여기에 빛이 가해지면 광학적 에너지가 전기로 변환된다. 각 화소마다 있는 포토다이오드에서 생성된 전하를 수직전달 CCD 및 수평전달 CCD를 통해 높은 전위차를 이용하여 증폭기로 전달하므로 전력소모는 크지만 잡음에 강하고 균일하게 증폭되는 특성이 있다.

<22> CMOS 이미지 센서는 각 화소마다 포토다이오드 및 증폭기를 설치한 것으로서, CCD 이미지 센서보다 전력소모가 작고, 작게 만들 수 있지만, 화질이 떨어지는 단점이 있다.

<23> 이러한 CCD 이미지 센서 또는 CMOS 이미지 센서는 그 종류도 다양하고 각 제조사에 따라 영상처리를 위한 인터페이스 및 특성이 다르다. 따라서, 영상처리는 특정 센서에 따라 설계 및 제작되고, 그 결과 특정 센서의 수급이 어려워 센서를 변경할 시에는 그 특질에 맞는 영상처리를 위한 시스템을 재설계 해야 하는 부담을 가지게 된다.

- <24> 일본 공개 특허 공보 특개평2003-46878호(발명의 명칭 : 타이밍 신호 발생 장치)는 화소수가 다른 복수 종류의 CCD에 대해 여러 종류의 타이밍 신호를 제공하거나 또는 각종 CCD에 대응하기 용이한 타이밍 신호 발생 장치를 개시하고 있다. 상기 공보에 개시된 기술은 각기 타이밍 신호가 다른 CCD에 따라 그에 맞는 타이밍 신호를 발생함으로써, 여러 종류의 CCD에 대응할 수 있도록 해주는 타이밍 신호 발생 장치를 개시하고 있다. 그러나, CCD는 제조사 및 제품 모델에 따라 타이밍 신호 뿐만 아니라 기타 처리 데이터 및 동기화 신호들이 다수 존재하며 이들 또한 제조사 및 제품 모델에 따라 다르기 때문에, 상기 공보에서 개시하고 있는 타이밍 신호 발생기에 의해서는 서로 다른 종류의 이미징 센서들에 대응하는 것에는 한계가 있으며, 여전히 사용되는 CCD에 따른 영상 처리 시스템을 재설계 해야 하는 문제점이 있다.
- <25> 도1은 종래의 디지털 카메라의 영상 신호 처리 시스템의 구성을 나타낸다. 도1에 도시된 바와 같이, 렌즈(10)를 통해 촬상된 이미지는 화상 센서(11) 내에서 A/D 변환을 거쳐 영상처리기(12)로 인가되는데, 여기서 영상처리기(12)가 내부에 없는 화상 센서인 경우에는 베이어 패턴(Bayer color filter array pattern)으로 출력 되어 영상 처리기(12)로 인가된다.
- <26> 영상 처리기(12)에서는 색 필터 배열 보간(Color filter array interpolation), 색 매트릭스(color matrix) 변환, 색보정(color correction), 색 향상(color enhancement) 등의 영상처리를 거친다. 이때 각 영상 프레임의 동기 신호로 쓰이는 신호는 하나의 영상 프레임의 시작을 알리는 수직 동기화 신호인 vsync(vertical synchronization), 프레임 내의 라인별 이미지의 활성화 상태를 알리는 수평 동기화 신호인 hsync(horizontal synchronization), 및 각 화소 데이터의 동기화를 나타내는 픽셀 클럭

신호인 pixel_clock으로 구성되고, 실질적인 영상에 대한 픽셀 데이터는 pixel_data의 형태로 전달된다. 영상 처리된 데이터는 CCIR656, 또는 CCIR 601 포맷 (YUV space)으로 변환된 후 YUV 4:2:2 혹은 YUV 4:2:0의 형태로 영상 부호화 부(MPEG 혹은 JPEG)(13)의 입력으로 인가된 뒤 영상 부호화 과정을 거친다.

<27> 부호화된 프레임 데이터는 프레임 버퍼(14)에 임시 저장된 후, 디지털 카메라나 PC 등의 호스트 인터페이스(15)를 거쳐 디지털 카메라, PC 등의 저장 장치 혹은 디스플레이 장치로 전달된다.

<28> 대부분의 화상 센서 경우에 화상 센서 출력 신호는 vsync, hsync, pixel_clock, pixel_data로 구성되고, 화상 센서를 제어하기 위한 양 방향 입출력 신호가 존재한다. 이들 신호들이 디지털 카메라 등의 시스템에서 화상 센서와 영상 처리기 간의 인터페이스에서 활용된다.

<29> 도7은 화상 센서의 스펙을 각 제조사별 및 각 모델별로 나타낸 것으로서, 도시된 바와 같이 각 제조사 및 제품 모델 별로 그 처리되는 데이터들의 기준이 다르게 설정되어 있다.

<30> 도2에는 종래의 화상 센서(11)에서 영상 처리기(12)로 신호 전달을 간략하게 나타낸다. vsync, hsync, pixel_clock, pixel_data 외에, 화상 센서의 제어를 위한 양방향 제어 신호는 화상 센서(11)의 제조사 또는 제품 모델에 따라 달라지게 된다.

<31> 화상 센서(11)의 내부에 영상 처리기가 포함되어 있는 경우에는 화상 센서(11)의 출력은 영상 처리된 상태의 CCIR656, 혹은 CCIR 601 포맷(YUV space)으로 출력되고 영상 처리기(12)는 단지 영상 부호화 과정(13)의 입력 형태로 변환시키는 역할만을 수행 하게

된다. 한편 화상 센서(11)의 내부에는 내부 레지스터가 존재 하는데 대부분의 센서는 주로 2개 혹은 3개의 와이어를 통한 직렬 통신 방법을 사용하여 화상 센서 내부의 레지스터를 읽고 쓸 수 있게 되어 있다. 이 레지스터에 어떤 값을 쓰느냐에 따라 영상의 특질이 변하기 때문에 레지스터에 기록되는 데이터는 영상의 특질을 제어하는 중요한 수단 이 된다.

<32> 상기와 같이 화상 센서는 각 제조사 별로 영상 프레임의 동기 신호 즉 hsync, vsync, pixel_clock의 차이, pixel_array의 크기, 센서 내부의 영상처리기의 존재 유무, 여러 형태의 베이어 패턴 출력, 센서를 제어하는 직렬 통신 방법의 차이를 가진다. 따라서, 디지털 카메라 등의 장치 또는 시스템 내의 영상 처리기는 특정 센서에 맞추어져 설계되어야 한다.

<33> 따라서, 사용되는 화상 센서(11)가 달라지는 경우에는 영상 처리기(12) 내의 근본적인 영상 처리 알고리즘이 바뀌지 않았는데도 불구하고 단지 영상처리기(12)와 화상 센서(11)와의 전송되는 신호의 변경에 의해서 영상 처리기를 재설계 해야 하는 부담을 가지게 되는 것이다. 특히 대부분의 영상 처리기는 LSI(Large Scaled Integrated Circuit)로 존재하기 때문에 상당한 비용과 시간이 소요 된다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명의 목적은 화상 센서 및 영상 처리기를 포함하는 영상 처리 시스템에서, 제조사 및 제품 모델 별로 여러 다른 종류의 화상 센서에 대응 할 수 있는 화상 센서와 영상 처리기 사이의 인터페이스 장치 및 방법을 제공하는 것이다.

<35> 본 발명의 목적은 영상 처리기를 여러 다른 종류의 화상 센서에 대응할 수 있도록 함으로써 궁극적으로 화상 센서에 대응하는 영상 처리기를 재설계할 필요없이 디지털 카메라용 영상 처리 시스템의 제조 비용 및 제조 시간을 감소시킬 수 있는 인터페이스 장치 및 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<36> 본 발명에서는 이를 해결하기 위하여 제조사 별로 특질이 다른 여러 화상 센서에 대해 영상 처리기를 포함하는 장치 또는 시스템이 대응할 수 있도록 하는 장치 및 방법을 제공한다.

<37> 본 발명에 따른 화상 센서와 영상 처리기 간의 인터페이스 장치는, 이미지를 촬상하는 화상 센서; 상기 촬상된 이미지를 출력에 적합한 형태로 프로세싱하는 영상 처리기; 상기 화상 센서에 대한 정보를 저장하는 센서 타입 레지스터; 상기 화상 센서에 대한 정보를 상기 센서 타입 레지스터에 기록하고, 상기 화상 센서를 제어하는 마이컴; 및 상기 화상 센서의 출력 신호를 수신하여, 상기 센서 타입 레지스터에 저장된 정보를 기반으로 출력단에 연결된 영상 처리기의 입력에 적절하게 변환하고, 상기 변환된 신호를 상기 영상 처리기로 전달하는 센서 신호 처리부를 포함하는 것을 특징으로 한다.

<38> 본 발명의 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 장치에서, 상기 화상 센서로부터의 출력 신호는 vsync, hsync, pixel_clock, pixel_data 신호를 포함하는 것을 특징으로 한다.

<39> 본 발명의 보다 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 장치에서, 상기 화상 센서에 대한 정보는 수평 동기화 신호인 vsync의 극성 정보, 수직

동기화 신호인 hsync의 극성 정보, 상기 pixel_clock의 극성 정보, 상기 영상 처리기의 ISP(Image Signal Processing) 모드 정보, 및 패턴 신호 정보, 상기 촬상된 이미지의 수평 크기 정보, 및 상기 촬상된 이미지의 수직 크기 정보를 포함하는 것을 특징으로 한다.

<40> 본 발명의 보다 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 장치에서, 상기 센서 타입 레지스터는 센서 신호 레지스터, 수평 크기 레지스터, 및 수직 크기 레지스터를 포함하는 것을 특징으로 한다.

<41> 본 발명의 보다 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 장치에서, 상기 센서 신호 레지스터는 vsync의 극성 정보(vsync polarity), hsync의 극성 정보(hsync polarity), 상기 pixel_clock의 극성 정보(pixel_clock polarity), ISP 모드 정보, 및 보간의 패턴에 대한 정보를 포함하고, 상기 수평 크기 레지스터는 이미지의 수평 크기를 나타내는 width 신호를 포함하며, 상기 수직 크기 레지스터는 이미지의 수직 크기를 나타내는 height 신호를 포함하는 것을 특징으로 한다.

<42> 본 발명의 보다 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 장치에서, 상기 센서 신호 처리부는, 수평 동기화 신호인 vsync의 극성 정보에 따라 상기 화상 센서로부터의 vsync 신호의 극성을 반전 또는 반전시키지 않는 제1 멀티플렉서; 상기 영상 처리기의 ISP 모드 정보에 따라 상기 제1 멀티플렉서의 출력을 바이패스시키거나 로우 레벨 상태로 상기 영상 처리기로 전달하는 제2 멀티플렉서; 수직 동기화 신호인 상기 hsync의 극성 정보에 따라 상기 화상 센서로부터의 hsync 신호의 극성을 반전 또는 반전시키지 않는 제3 멀티플렉서; 상기 영상 처리기의 ISP 모드 정보에 따라 상기 제3 멀티플렉서의 출력을 바이패스시키거나 로우 레벨 상태로 상기 영상 처리기로 전달

하는 제4 멀티플렉서; 상기 화상 센서로부터의 화상 정보의 픽셀 클럭 신호인 pixel_clock의 극성 정보에 따라 상기 화상 센서로부터의 pixel_clock 신호의 극성을 반전 또는 반전시키지 않는 제5 멀티플렉서; 상기 영상 처리기의 ISP 모드 정보에 따라 상기 제5 멀티플렉서의 출력을 바이패스시키거나 로우 레벨 상태로 상기 영상 처리기로 전달하는 제6 멀티플렉서; 상기 영상 처리기의 ISP 모드 정보에 따라 상기 pixel_data 신호를 바이패스시키거나 로우 레벨상태로 상기 영상 처리기로 전달하는 제7 멀티플렉서를 포함하는 것을 특징으로 한다.

<43> 본 발명의 보다 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 장치에서, 상기 마이컴은 상기 화상 센서와 GPIO(General purpose I/O)를 송수신함으로써 상기 화상 센서를 제어하는 것을 특징으로 한다.

<44> 본 발명에 따른 화상 센서와 영상 처리기 간의 인터페이스 방법은, 화상 센서에 대한 정보를 센서 타입 레지스터에 기록하는 단계; 상기 화상 센서의 출력 신호를 수신하는 단계; 상기 센서 타입 레지스터에 기록된 정보를 기반으로, 상기 화상 센서로부터의 출력 신호를 영상 처리기의 출력에 적절하게 변환하는 단계; 및 상기 변환된 신호를 상기 영상 처리기로 전달하는 단계를 포함하는 것을 특징으로 한다.

<45> 본 발명의 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 방법에서, 상기 화상 센서로부터의 출력 신호는 vsync, hsync, pixel_clock, pixel_data 신호를 포함하는 것을 특징으로 한다.

<46> 본 발명의 보다 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 방법에서, 상기 화상 센서에 대한 정보는 수평 동기화 신호인 vsync의 극성 정보, 수직 동기화 신호인 hsync의 극성 정보, 상기 pixel_clock의 극성 정보, 상기 영상 처리기의

ISP(Image Signal Processing) 모드 정보, 및 패턴 신호 정보, 상기 촬상된 이미지의 수평 크기 정보, 및 상기 촬상된 이미지의 수직 크기 정보를 포함하는 것을 특징으로 한다.

<47> 본 발명의 보다 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 방법에서, 상기 센서 타입 레지스터는 센서 신호 레지스터, 수평 크기 레지스터, 및 수직 크기 레지스터를 포함하는 것을 특징으로 한다.

<48> 본 발명의 보다 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 방법에서, 상기 센서 타입 레지스터는 센서 신호 레지스터, 수평 크기 레지스터, 및 수직 크기 레지스터를 포함하는 것을 특징으로 한다.

<49> 본 발명의 보다 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 방법에서, 상기 센서 신호 레지스터는 vsync의 극성 정보, hsync의 극성 정보, 상기 pixel_clock의 극성 정보, ISP 모드 정보, 및 pattern 신호 정보를 포함하고, 상기 수평 크기 레지스터는 height 신호에 대한 정보를 포함하며, 상기 수직 크기 레지스터는 width 신호에 대한 정보를 포함하는 것을 특징으로 한다.

<50> 본 발명의 보다 바람직한 실시예에 따른 화상 센서와 영상 처리기 간의 인터페이스 방법에서, 상기 화상 센서로부터의 출력 신호를 영상 처리기의 출력에 적절하게 변환하는 단계는, 수평 동기화 신호인 vsync의 극성 정보에 따라 상기 화상 센서로부터의 vsync 신호의 극성을 반전 또는 반전시키지 않는 제1단계; 상기 영상 처리기의 ISP 모드 정보에 따라 상기 제1 단계의 반전 또는 반전되지 않은 vsync 신호를 바이패스시키거나로우 레벨 상태로 상기 영상 처리기로 전달하는 제2단계; 수직 동기화 신호인 hsync의 극성 정보에 따라 상기 화상 센서로부터의 hsync 신호의 극성을 반전 또는 반전시키지

않는 제3단계; 상기 영상 처리기의 ISP 모드 정보에 따라 상기 제3 단계의 반전 또는 반전되지 않은 hsync 신호를 바이패스시키거나 로우 레벨 상태로 상기 영상 처리기로 전달하는 제4단계; 상기 화상 센서로부터의 화상 정보의 픽셀 클럭 신호인 pixel_clock 신호의 극성 정보에 따라 상기 화상 센서로부터의 pixel_clock 신호의 극성을 반전 또는 반전시키지 않는 제5 단계; 상기 영상 처리기의 ISP 모드 정보에 따라 상기 제5 단계의 반전 또는 반전되지 않은 pixel_clock 신호를 바이패스시키거나 로우 레벨 상태로 상기 영상 처리기로 전달하는 제6 단계; 및 상기 영상 처리기의 ISP 모드 정보에 따라 상기 pixel_data 신호를 바이패스시키거나 로우 레벨상태로 상기 영상 처리기로 전달하는 제7 단계를 포함하는 것을 특징으로 한다.

<51> 이하 도면을 참조하여 본 발명을 상세히 설명한다.

<52> 도3은 본 발명에 따른 화상 센서(301)와 영상 처리기(303) 간의 인터페이스 구조를 개략적으로 나타낸 것이다.

<53> 도3과 같이 화상 센서(301)와 영상 처리기(303) 와의 사이에 센서 인터페이스(302)가 배치된다. 상기 센서 인터페이스(302)는 센서 신호 처리부(304), 센서 타임 레지스터(305), 마이컴(306)을 포함한다.

<54> 본 발명의 일 실시예에서, 영상 처리기(303)는 필수적으로 신호 처리를 위한 프로세서를 포함하게 되는데 이 프로세서가 이하 설명되는 마이컴(306)의 역할까지 해낼 수 있다. 즉, 도3에는 마이컴(306)이 영상 처리기(303)와 분리되어 도시되어 있으나, 별도의 마이컴(306) 역할을 하기 위한 프로세서 및 메모리를 제공하지 않고도, 영상 처리기(303)에 포함되는 특정 프로세서 및 메모리가 프로그램을 통해 마이컴(306)의 역할을 대신할 수도 있다.

- <55> 화상 센서(301)는 렌즈(미도시)를 통해 촬상된 이미지를 센싱하여 아날로그 화상 데이터를 획득하고, 그 데이터를 A/D(Analog to Digital) 변환하며, 매 프레임마다 그 데이터를 영상 처리기(303)에 인가하기 위한 동기 신호를 생성한다. 이후의 영상 처리기(303)는 상기 동기 신호에 근거하여 화상 센서(301)의 화소 데이터를 획득한 후 영상 처리를 거쳐 각각의 화소 데이터를 영상 부호화 과정을 위한 데이터 포맷으로 전환하게 된다. 화상 센서(301)로부터 출력되는 신호는 한 영상 프레임의 시작을 알리는 수직 동기화 신호인 vsync(vertical synchronization), 프레임 내의 라인별 이미지의 활성화 상태를 알리는 수평 동기화 신호인 hsync(horizontal synchronization), 각 화소 데이터의 동기화를 나타내는 픽셀 클럭 신호인 pixel_clock 및 각 화소의 데이터를 포함하는 픽셀 데이터 신호인 pixel_data로 구성된다.
- <56> 위 화상 센서(301)로부터 출력되는 신호 중 vsync, hsync, 및 pixel_clock 신호는 촬상된 이미지의 동기화를 위한 신호로서, 그 프레임의 동기화를 위해 각 프레임이 하 이 신호인지 또는 로우 신호인지, 혹은 상승 에지 또는 하강 에지인지에 대한 정보를 포함하고, 나머지 신호인 pixel_data는 각 화소의 데이터를 포함한다.
- <57> 상기 화상 센서(301)로부터의 상기 vsync, hsync, pixel_clock, 및 pixel_data는 영상 처리기(303)로 입력되기 전에 센서 인터페이스(302)의 센서 신호 처리부(304)로 입력된다.
- <58> 마이컴(306)은 내부에 프로세서 및 읽기/쓰기 가능 메모리(예컨대, RAM)(미도시)를 포함하고 있으며, 상기 메모리에는 사용되는 화상 센서(301)에 대한 정보 및 사용되는 화상 센서(301)의 제어를 위한 프로그램이 포함된다. 사용되는 화상 센서(301)에 따라 메모리에 저장된 화상 센서(301)에 의해 사용되는 정보를 변경하고, 화상 센서를 제어하



기 위한 프로그램을 변경하여야 한다. 또한 화상 센서 내부 동작의 제어는 마이컴(306)에 의해 제어되는 GPIO(General Purpose I/O) 신호에 의한다. 이 신호는 2~3 라인의 신호로 구성 되어있고 동기 클럭 신호와 데이터 신호로 이루어져 읽기 혹은 쓰기 동작을 하게 된다. 본 발명에서는 이들 신호를 일반적인 양방향 출력으로서 마이컴(306)에 의해 제어가 가능하도록 구성하여 특질이 다른 여러 화상 센서에 대응하기 위한 것이다.

<59> 마이컴(306)은 화상 센서(301)에 대한 정보들을 센서 타입 레지스터(305)에 기록한다. 센서 신호 처리부(304)는 마이컴(306)에 의해 기록된 센서 타입 레지스터(305)의 내용을 근거로 화상 센서로부터 입력되는 vsync, hsync, pixel_clock, 및 pixel_data 신호를 현재 사용되는 화상 센서(301)에 맞게 변환시킨다. 도3에 도시된 바와 같이, 이렇게 변환된 신호들, vsync_1, hsync_1, pixel_clock_1, 및 pixel_data_1은 영상 처리기(303)에 입력된다.

<60> 패턴(pattern) 신호는 화상 센서(301)가 출력하는 베이어 패턴의 형태를 영상처리기(303)에 알려 주기 위한 것이다. 화상 센서(301) 내에 영상 처리기를 포함하지 않는 화상 센서(301)의 경우에 센서 타입 레지스터(305)에서 영상 처리기(303)로 전달되는 신호는 베이어 패턴이다. 이 경우 베이어 패턴은 예컨대 다음과 같은 형태를 갖는다.

<61> 00 : rgrgrg....

<62> gbgbgb....

<63> 01 : bgbgbg....

<64> grgrgr....



<65> 10 : gbgbgb....

<66> rgrgrg....

<67> 11 : grgrgr....

<68> bgbgbg....

<69> 화상 센서(301) 내에 영상 처리기를 포함하는 화상 센서(301)의 경우에 센서 타입 레지스터(305)에서 영상 처리기(303)로 전달되는 신호는 YUV 패턴으로서, 패턴(pattern) 신호는 YUV 패턴에 대한 정보를 포함하게 된다.

<70> 센서 타입 레지스터(305)는 이와 같은 패턴에 대한 정보를 예컨대, 도4a에 도시된 [b1:b0] 블록에 저장한다. 마이컴(306)에 의해 센서 타입 레지스터(306)에 기록된 패턴에 대한 정보는 패턴(pattern) 신호로 영상 처리기(303)에 입력된다.

<71> 마찬가지로, 화상 센서(301)로부터 출력되는 이미지의 크기에 대한 정보도 사전에 마이컴(306)에 입력되며, 마이컴(306)에 의해 센서 타입 레지스터(305)에 기록된다. 센서 타입 레지스터(305)에 기록된 이미지의 크기에 대한 정보는 센서 타입 레지스터(305)로부터 영상 처리기(303)로 이미지의 수평 크기에 대한 정보인 수평 크기 신호, width 및 이미지의 수직 크기에 대한 정보인 수직 크기 신호, height의 형태로 영상 처리기(303)에 전달된다.

<72> 영상 처리기(303)는 상기와 같은 입력신호들, vsync_1, hsync_1, pixel_clock_1, pixel_data_1을 내부의 영상처리 과정을 통해 영상 부호화 과정(MPEG 혹은 JPEG)에 대한 입력으로서 vsync_2, hsync_2, YUV(휘도 및 색차 신호) 신호를 출력한다.

- <73> 도4a, 도4b 및 도4c는 각각 센서 타입 레지스터(305)에서 센서 신호 레지스터(401), 수평 크기 레지스터(402) 및 수직 크기 레지스터(403)의 예시적인 구성을 나타낸다.
- <74> 도4a, 도4b 및 도4c에 도시된 바와 같이 센서 신호 레지스터(401)의 [b1:b0] 블록에는 보간 패턴이 저장되고, b2 블록에는 픽셀 클록의 극성, b3 블록에는 vsync 신호의 극성, b4 블록에는 hsync 신호의 극성, b5 블록에는 ISP 모드 정보(영상 처리기의 동작 모드 정보, 즉 영상 처리기가 온 상태인지 오프 상태인지에 대한 정보)가 저장된다. 수평 크기 레지스터(402)에는 이미지의 수평 크기에 대한 정보인 width 신호가 저장되고, 수직 크기 레지스터(403)에는 이미지의 수직 크기에 대한 정보인 height 신호가 저장된다. 도4a, 도4b 및 도4c에 도시된 바와 같은 레지스터의 구성은 예시적인 것으로 다른 실시예에 따라 변형될 수 있다.
- <75> 도5는 센서 인터페이스(302)의 내부 구성을 나타낸다. 이하, 도5를 참조하여 센서 인터페이스(302) 내에서 수행되는 신호 변환 과정을 상세하게 설명한다.
- <76> 화상 센서(301)로부터 입력되는 신호 중 한 이미지의 프레임의 시작을 알리는 vsync 신호는 센서 타입 레지스터(305)에서 도4a의 센서 신호 레지스터(401)의 b3 블록에 저장된 vsync의 극성 신호를 제어 신호(501)로 하는 제1 멀티플렉서(502)에 의해 vsync의 극성이 반전되거나 반전되지 않은 형태의 i_vsync 신호가 된다. 예컨대, 제어 신호(501)가 하이이면 vsync 신호가 그대로 바이패스되고, 제어 신호(501)가 로우이면 vsync가 반전되어 출력된다. i_vsync 신호는 도4a의 센서 신호 레지스터(401)의 b5 블록에 저장된 ISP 모드 신호(503)를 제어 신호로 하는 제2 멀티플렉서(504)에 의해 바이패스되어 vsync_1으로 출력되거나, 로우 레벨 상태가 된다. 예컨대, i_vsync 신호는

ISP 모드가 온 상태이면 그대로 바이패스되어 영상 처리기(303)로 전달되고, ISP 모드가 오프 상태이면 로우 레벨(접지)이 된다.

<77> 화상 센서(301)로부터 입력되는 신호 중 프레임 내의 라인별 이미지의 활성화 상태를 알리는 hsync 신호는 도4a의 센서 신호 레지스터(401)의 b4 블록에 저장된 hsync의 극성을 제어 신호(505)로 하는 제3 멀티플렉서(506)에 의해 hsync의 극성이 반전되거나 반전되지 않은 형태의 i_hsync로 출력된다. 예컨대, 제어 신호(501)가 하이이면 hsync 신호가 그대로 바이패스되고, 제어 신호(505)가 로우이면 hsync가 반전되어 출력된다. 도4a의 센서 신호 레지스터(401)의 b5 블록에 저장된 ISP 모드를 제어 신호(507)로 하는 제4 멀티플렉서(508)에 의해 바이패스되어 hsync_1으로 출력되거나, 로우 레벨 상태가 된다. 즉, i_hsync 신호는 예컨대, ISP 모드가 온 상태이면 그대로 바이패스되어 영상 처리기(303)로 전달되고, ISP 모드가 오프 상태이면 로우 레벨(접지)이 된다.

<78> 마찬가지로, 화상 센서(301)로부터 입력되는 신호 중 각 화소 데이터의 동기화를 나타내는 pixel_clock 신호는 도4a의 센서 신호 레지스터(401)의 b2 블록에 저장된 pixel_clock의 극성을 제어 신호(509)로 하는 제5 멀티플렉서(510)에 의해 pixel_clock의 극성이 반전되거나 반전되지 않은 형태의 i_pixel_clock으로 출력된다. 예컨대, 제어 신호(509)가 하이이면 pixel_clock 신호가 그대로 바이패스되고, 제어 신호(505)가 로우이면 hsync가 반전되어 i_pixel_clock으로 출력된다. i_pixel_clock 신호는 도4a의 센서 신호 레지스터(401)의 ISP 모드 신호를 제어 신호(511)로 하는 제6 멀티플렉서(512)에 의해 바이패스되어 pixel_clock_1으로 출력되거나, 로우 레벨 상태가 된다. 즉, i_pixel_clock 신호는 예컨대, ISP 모드가 온 상태이면 그대로 바이패스되어 영상 처리기(303)로 전달되고, ISP 모드가 오프 상태이면 로우 레벨(접지)이 된다.

- <79> 화상 센서(301)로부터 입력되는 신호중 pixel_data 신호는 도4a의 센서 신호 레지스터(401)의 b5 블록에 저장된 ISP 모드 신호를 제어 신호(513)로 하는 제7 멀티플렉서(514)에 의해 바이패스되어 pixel_data_1로 출력되거나, 로우 레벨 상태가 된다. 즉, pixel_data 신호는 ISP 모드가 온 상태이면 그대로 바이패스되어 출력되고, ISP 모드가 오프 상태이면 로우 레벨 상태가 된다.
- <80> 패턴(pattern) 신호는 센서 타입 레지스터(305) 중 도4a의 센서 신호 레지스터(401)의 예컨대 [b1:b0] 블록에 저장된 값을 영상 처리기(303)에 전달하기 위한 것으로서, 화상 센서(301)의 베이어 패턴을 나타내는 신호이며, 센서 신호 레지스터(401)의 ISP 모드(b5)가 온(ON)인 경우에만 의미 있는 값이 된다.
- <81> 수평 크기, width 신호는 센서 타입 레지스터(305) 중 도4b의 수평 크기 레지스터(402)의 예컨대 [b15:b0] 블록에 저장된 값으로서, 영상 처리기에 전달되어 화상 센서(301)가 활성화되는 한 프레임의 수평 크기를 나타낸다.
- <82> 수직 크기, height 신호는 센서 타입 레지스터(305) 중 도4c의 수직 크기 레지스터(403)의 [b15:b0] 블록에 저장된 값으로서, 영상 처리기에 전달되어 화상 센서(301)가 활성화되는 한 프레임의 수직 크기를 나타낸다.
- <83> 마이컴(306)은 현재 사용하는 화상 센서에 대응하는 값을 센서 타입 레지스터(305)에 기록하며, 또한 GPIO(General Purpose I/O) 신호를 사용하여 화상 센서(301)와 양방향 통신을 통해 현재 사용되고 있는 화상 센서를 제어하게 된다.
- <84> 도6은 영상 처리기(302)의 구성을 나타낸 것이다. 이하, 도6을 참조하여 영상 처리기(302)에서 수행되는 영상 처리 과정을 설명하면 다음과 같다.

- <85> 도3의 센서 인터페이스(302)에서 처리되어 출력되는 vsync_1, hsync_1, pixel_clock_1, pattern, 및 pixel_data 신호는 영상 처리기(303)의 입력으로 전달된다. 영상처리기(303)에 입력된 vsync_1, hsync_1, pixel_clock_1, pattern, 및 pixel_data 신호는 보간을 위해 라인 버퍼(601)에 임시 저장된다.
- <86> 보간 처리부(602)는 라인 버퍼(601)로부터 수신한 베이어 패턴의 각 픽셀을 RGB 형태로 변환시킨다. 이후 색 프로세싱(603)을 거쳐 상기 RGB 데이터는 YCbCr 또는 YUV 형태로 변환되고, pixel_data2로 출력되어 멀티플렉서(604)로 전달된다.
- <87> 멀티플렉서(604)는 YCbCr, YUV 포맷터(formatter)(605)로 입력되는 도4a의 센서 신호 레지스터(401)의 b5 블록에 저장된 ISP 모드 신호를 제어 신호로 사용하여 pixel_data를 선택한다. 예컨대, ISP 모드가 온(ON)인 경우에는 색 프로세싱(603) 과정을 거친 pixel_data2가 선택되어 YCbCr 포맷터(605)의 입력으로 선택 되어지고, ISP 모드가 오프(OFF)인 경우에는 화상 센서(301)로부터 직접 출력된 pixel_data가 YCbCr, YUV 포맷터(605)의 입력으로 선택된다.
- <88> YCbCr, YUV 포맷터(605)는 영상 처리기의 최종 출력을 위한 것으로, ISP 모드가 온인 상태에서는 도3의 vsync_1, hsync_1, 및 pixel_clock_1 신호와 멀티플렉서(604)의 출력인 pixel_data_1을 입력으로 받아들이고, ISP 모드가 오프인 상태에서는 도3의 i_vsync, i_hsync, 및 i_pixel_clock 신호와 ISP 처리 과정을 거치지 않은 pixel_data를 받아들이며, 추가적으로 센서 타입 레지스터에 저장된 height 신호, width 신호를 입력 받는다.
- <89> YCbCr, YUV 포맷터(605)는 상기 신호를 입력으로 받아 이후의 영상 부호화기에 적절한 입력으로서 동작되기 위한 CCIR 656, CCIR 601형태의 YCbCr 4:2:2 혹은 YCbCr

4:2:0형태, 또는 MPEG이나 JPEG 등의 적절한 형태로 변환된 pixel_data와 한 프레임의 수직, 수평 신호인 vsync_2 와 hsync_2를 출력한다.

【발명의 효과】

<90> 본 발명의 화상 센서와 영상 처리기 사이의 인터페이스 장치 및 방법에 따르면, 영상 처리 시스템에서, 제조사 및 제품 모델 별로 여러 다른 종류의 화상 센서에 대응 할 수 있다.

<91> 또한, 본 발명의 화상 센서와 영상 처리기 사이의 인터페이스 장치 및 방법에 따르면, 하나의 영상 처리기를 여러 다른 종류의 화상 센서에 대응할 수 있도록 함으로써 궁극적으로 화상 센서에 대응하는 영상 처리기를 재설계할 필요없이 영상 처리 시스템의 제조 비용 및 제조 시간을 감소시킬 수 있다.

【특허청구범위】**【청구항 1】**

이미지를 촬상하는 화상 센서;

상기 촬상된 이미지를 출력에 적합한 형태로 프로세싱하는 영상 처리기;

상기 화상 센서에 대한 정보를 저장하는 센서 타입 레지스터;

상기 화상 센서에 대한 정보를 상기 센서 타입 레지스터에 기록하고, 상기 화상 센서를 제어하는 마이컴; 및

상기 화상 센서로부터의 출력 신호를 수신하여, 상기 센서 타입 레지스터에 저장된 정보를 기반으로 출력단에 연결된 영상 처리기의 입력에 적절하게 변환하고, 상기 변환된 신호를 상기 영상 처리기로 전달하는 센서 신호 처리부를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 장치.

【청구항 2】

제1항에 있어서, 상기 화상 센서로부터의 출력 신호는 vsync, hsync, pixel_clock, pixel_data 신호를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 장치.

【청구항 3】

제1항에 있어서, 상기 화상 센서에 대한 정보는 수평 동기화 신호인 vsync의 극성 정보, 수직 동기화 신호인 hsync의 극성 정보, 상기 화상 센서로부터의 화상 정보의 픽셀 클럭 신호인 pixel_clock의 극성 정보, 상기 영상 처리기의 ISP(Image Signal Processing) 모드 정보, 및 패턴 신호 정보, 상기 촬상된 이미지의 수평 크기 정보, 및



상기 촬상된 이미지의 수직 크기 정보를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 장치.

【청구항 4】

제1항에 있어서, 상기 센서 타입 레지스터는 센서 신호 레지스터, 수평 크기 레지스터, 및 수직 크기 레지스터를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 장치.

【청구항 5】

제4항에 있어서, 상기 센서 신호 레지스터는 수평 동기화 신호인 vsync의 극성 정보, 수직 동기화 신호인 hsync의 극성 정보, 상기 pixel_clock의 극성 정보, ISP 모드 정보, 및 패턴 신호 정보를 포함하고, 상기 수평 크기 레지스터는 height 신호를 포함하며, 상기 수직 크기 레지스터는 width 신호를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 장치.

【청구항 6】

제1항에 있어서, 상기 센서 신호 처리부는,

수평 동기화 신호인 vsync의 극성 정보에 따라 상기 화상 센서로부터의 vsync 신호의 극성을 반전 또는 반전시키지 않는 제1 멀티플렉서;

상기 영상 처리기의 ISP 모드 정보에 따라 상기 제1 멀티플렉서의 출력을 바이패스시키거나 로우 레벨 상태로 상기 영상 처리기로 전달하는 제2 멀티플렉서;

수직 동기화 신호인 상기 hsync의 극성 정보에 따라 상기 화상 센서로부터의 hsync 신호의 극성을 반전 또는 반전시키지 않는 제3 멀티플렉서;

상기 영상 처리기의 ISP 모드 정보에 따라 상기 제3 멀티플렉서의 출력을 바이패스시키거나 로우 레벨 상태로 상기 영상 처리기로 전달하는 제4 멀티플렉서;

상기 화상 센서로부터의 화상 정보의 픽셀 클럭 신호인 pixel_clock의 극성 정보에 따라 상기 화상 센서로부터의 pixel_clock 신호의 극성을 반전 또는 반전시키지 않는 제5 멀티플렉서;

상기 영상 처리기의 ISP 모드 정보에 따라 상기 제5 멀티플렉서의 출력을 바이패스시키거나 로우 레벨 상태로 상기 영상 처리기로 전달하는 제6 멀티플렉서;

상기 영상 처리기의 ISP 모드 정보에 따라 상기 pixel_data 신호를 바이패스시키거나 로우 레벨상태로 상기 영상 처리기로 전달하는 제7 멀티플렉서를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 장치.

【청구항 7】

제1항에 있어서, 상기 마이컴은 상기 화상 센서와 GPIO(General purpose I/O)를 송수신함으로써 상기 화상 센서를 제어하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 장치.

【청구항 8】

화상 센서에 대한 정보를 센서 타입 레지스터에 기록하는 단계;

상기 화상 센서의 출력 신호를 수신하는 단계;

상기 센서 타입 레지스터에 기록된 정보를 기반으로, 상기 화상 센서로부터의 출력 신호를 영상 처리기의 출력에 적절하게 변환하는 단계; 및

상기 변환된 신호를 상기 영상 처리기로 전달하는 단계를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 방법.

【청구항 9】

제8항에 있어서, 상기 화상 센서의 출력 신호는 vsync, hsync, pixel_clock, pixel_data 신호를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 방법.

【청구항 10】

제8항에 있어서, 상기 화상 센서에 대한 정보는 수평 동기화 신호인 vsync의 극성 정보, 수직 동기화 신호인 hsync의 극성 정보, 상기 pixel_clock의 극성 정보, 상기 영상 처리기의 ISP(Image Signal Processing) 모드 정보, 및 패턴 신호 정보, 상기 촬상된 이미지의 수평 크기 정보, 및 상기 촬상된 이미지의 수직 크기 정보를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 방법.

【청구항 11】

제8항에 있어서, 상기 센서 타입 레지스터는 센서 신호 레지스터, 수평 크기 레지스터, 및 수직 크기 레지스터를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 방법.

【청구항 12】

제11항에 있어서, 상기 센서 신호 레지스터는 vsync의 극성 정보, hsync의 극성 정보, 상기 pixel clock의 극성 정보, ISP 모드 정보, 및 패턴 신호 정보를 포함하고, 상

기 수평 크기 레지스터는 height 신호를 포함하며, 상기 수직 크기 레지스터는 width 신호를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 방법.

【청구항 13】

제8항에 있어서, 상기 화상 센서로부터의 출력 신호를 영상 처리기의 출력에 적절하게 변환하는 단계는,

수평 동기화 신호인 vsync의 극성 정보에 따라 상기 화상 센서로부터의 vsync 신호의 극성을 반전 또는 반전시키지 않는 제1단계;

상기 영상 처리기의 ISP 모드 정보에 따라 상기 제1 단계의 반전 또는 반전되지 않은 vsync 신호를 바이패스시키거나 로우 레벨 상태로 상기 영상 처리기로 전달하는 제2 단계;

수직 동기화 신호인 hsync의 극성 정보에 따라 상기 화상 센서로부터의 hsync 신호의 극성을 반전 또는 반전시키지 않는 제3단계;

상기 영상 처리기의 ISP 모드 정보에 따라 상기 제3 단계의 반전 또는 반전되지 않은 hsync 신호를 바이패스시키거나 로우 레벨 상태로 상기 영상 처리기로 전달하는 제4 단계;

상기 화상 센서로부터의 화상 정보의 픽셀 클럭 신호인 pixel_clock 신호의 극성 정보에 따라 상기 화상 센서로부터의 pixel_clock 신호의 극성을 반전 또는 반전시키지 않는 제5 단계;

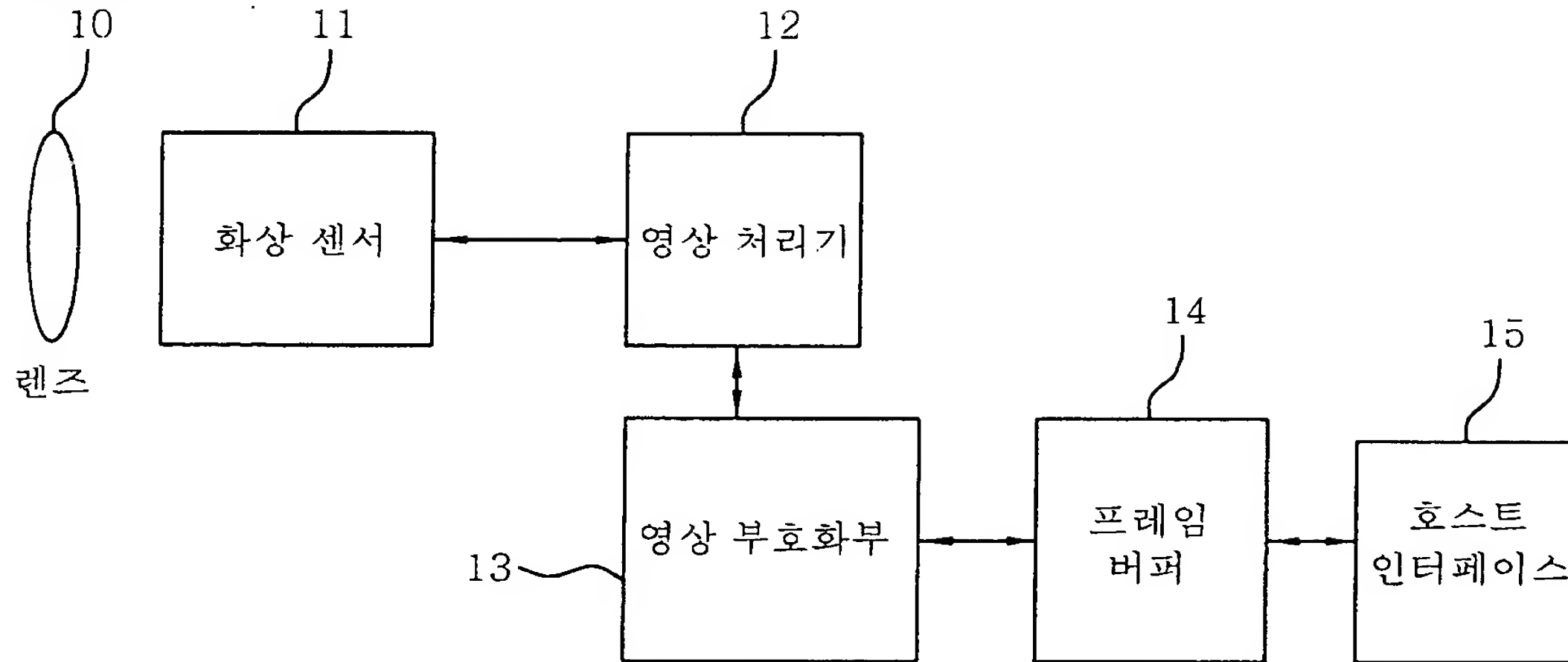


상기 영상 처리기의 ISP 모드 정보에 따라 상기 제5 단계의 반전 또는 반전되지 않은 pixel_clock 신호를 바이패스시키거나 로우 레벨 상태로 상기 영상 처리기로 전달하는 제6 단계; 및

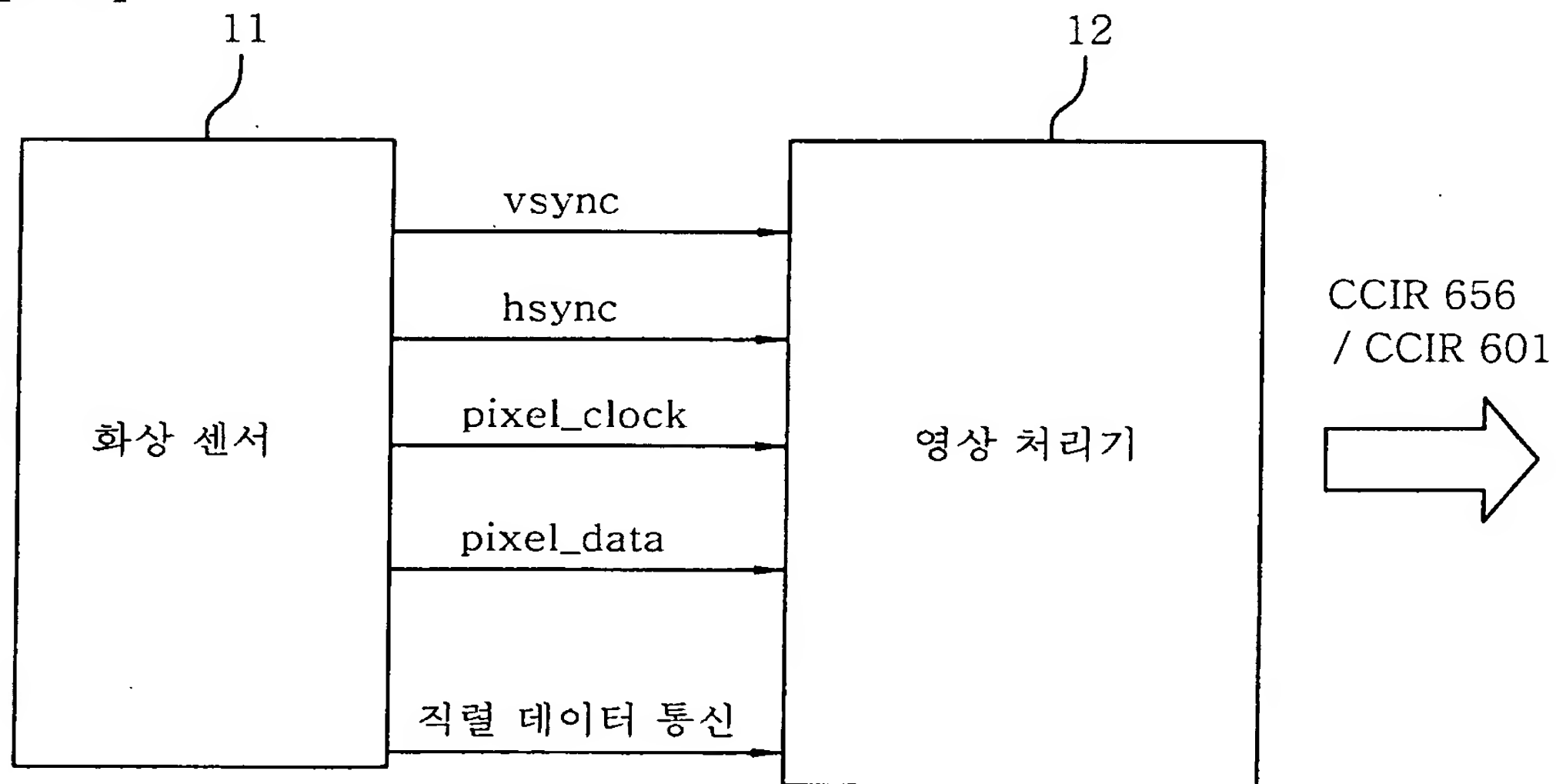
상기 영상 처리기의 ISP 모드 정보에 따라 상기 pixel_data 신호를 바이패스시키거나 로우 레벨상태로 상기 영상 처리기로 전달하는 제7 단계를 포함하는 것을 특징으로 하는 화상 센서와 영상 처리기 간의 인터페이스 방법.

【도면】

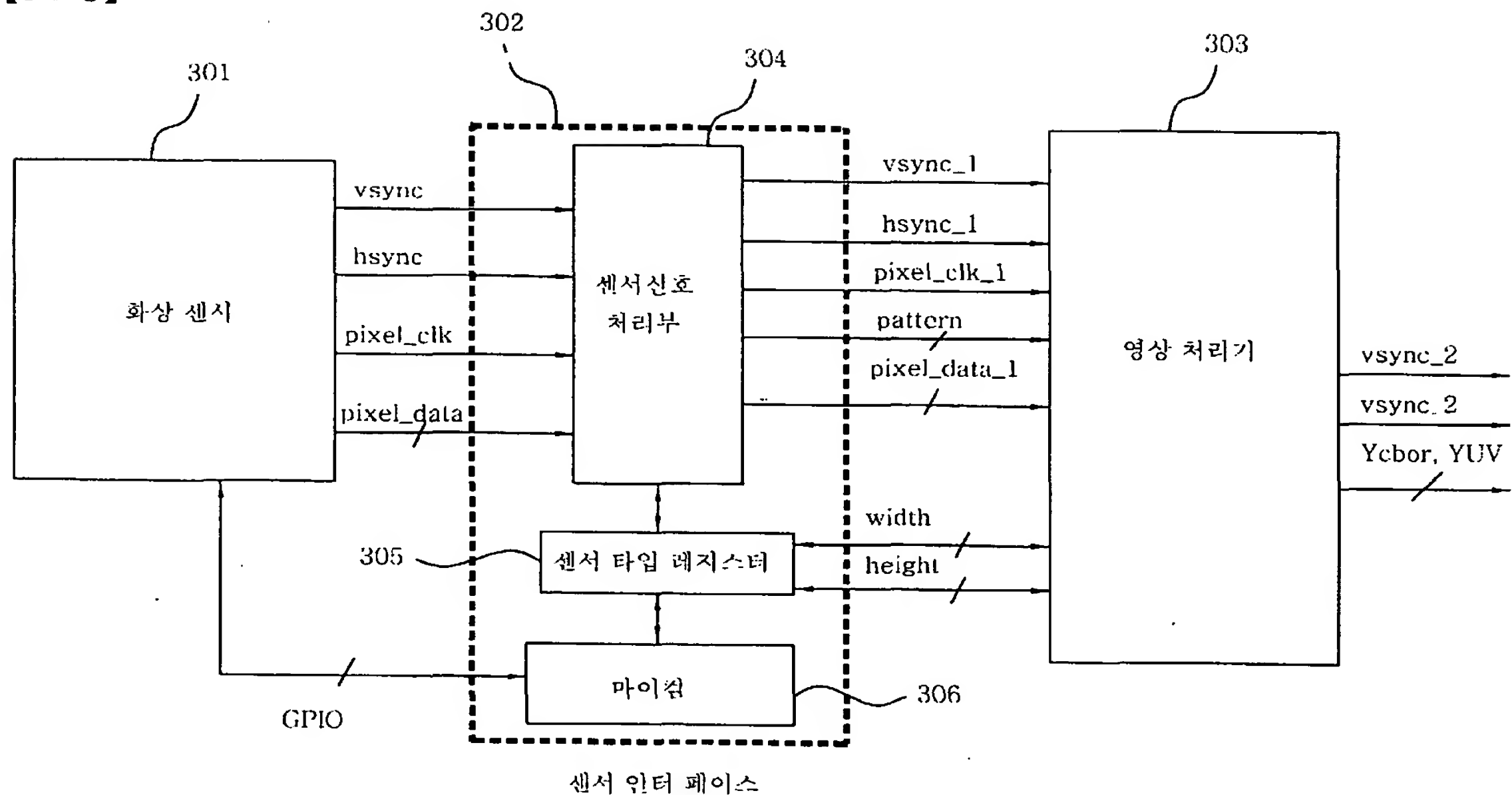
【도 1】



【도 2】

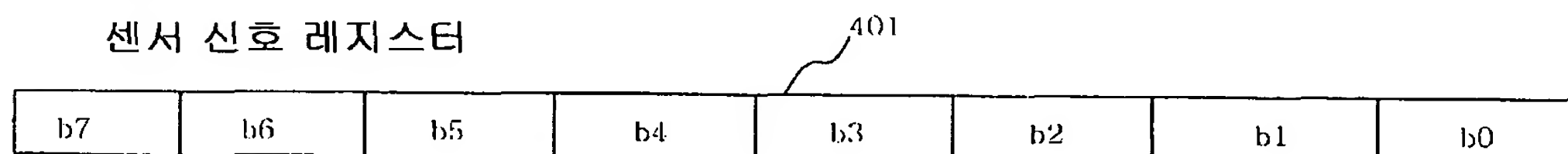


【도 3】



【도 4a】

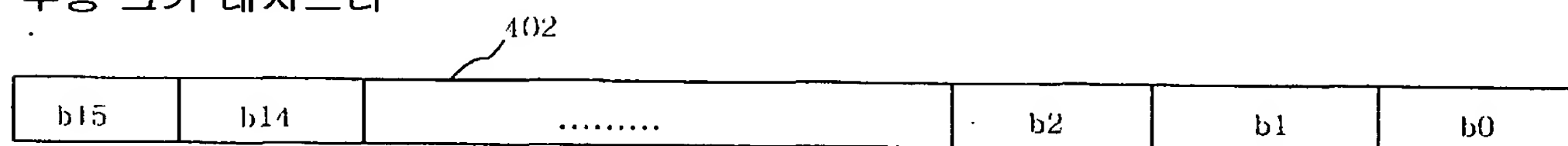
센서 신호 레지스터



- [b1: b0] : 보관 패턴
- b2: : 픽셀 클럭의 극성
- b3: : **vsync** 신호의 극성
- b4: : **hsync** 신호의 극성
- b5: : **ISP** 모드
- [b7: b6] : 미사용

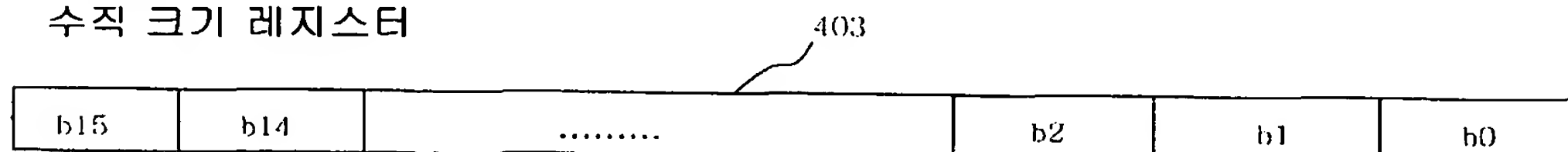
【도 4b】

수평 크기 레지스터

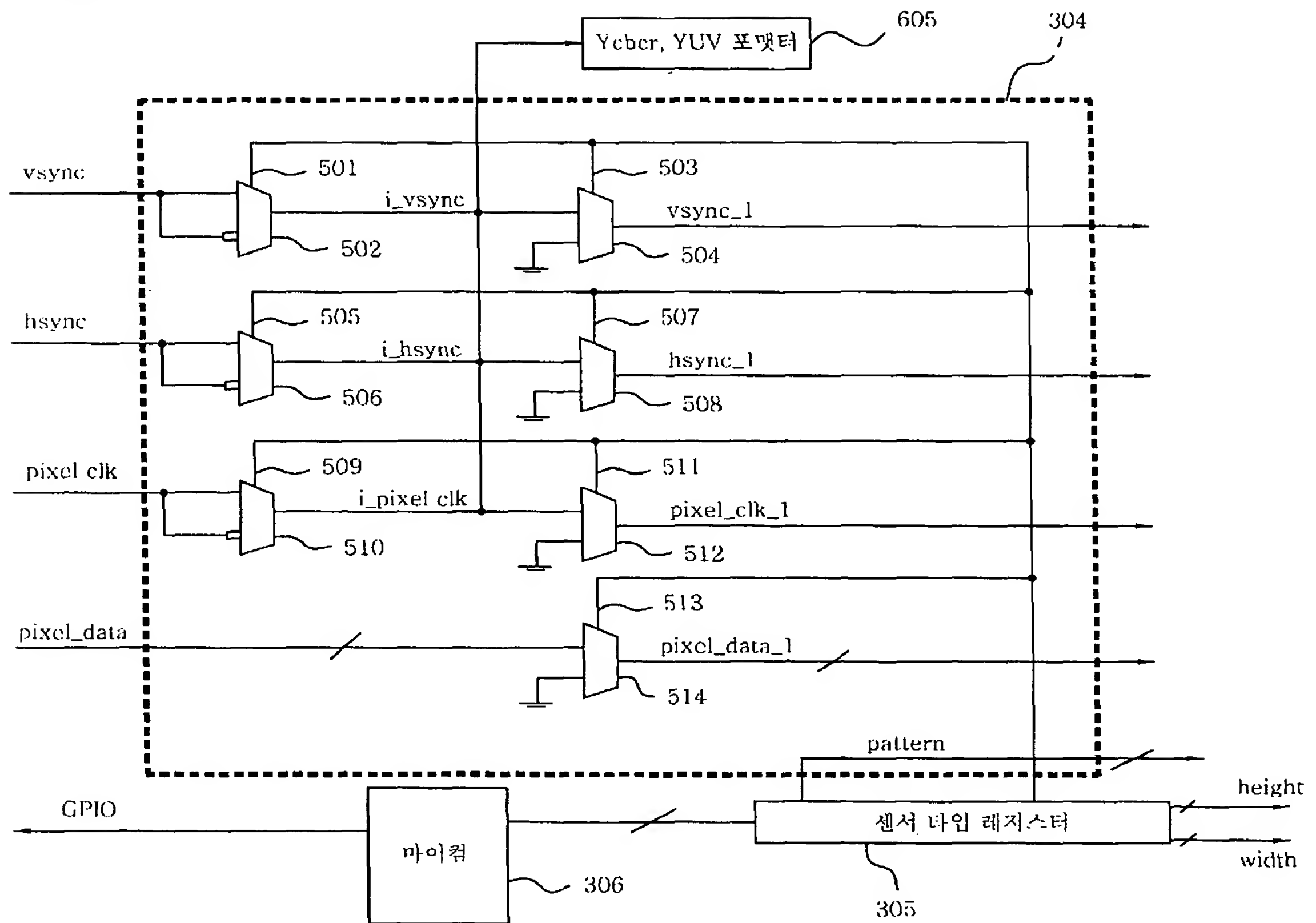


【도 4c】

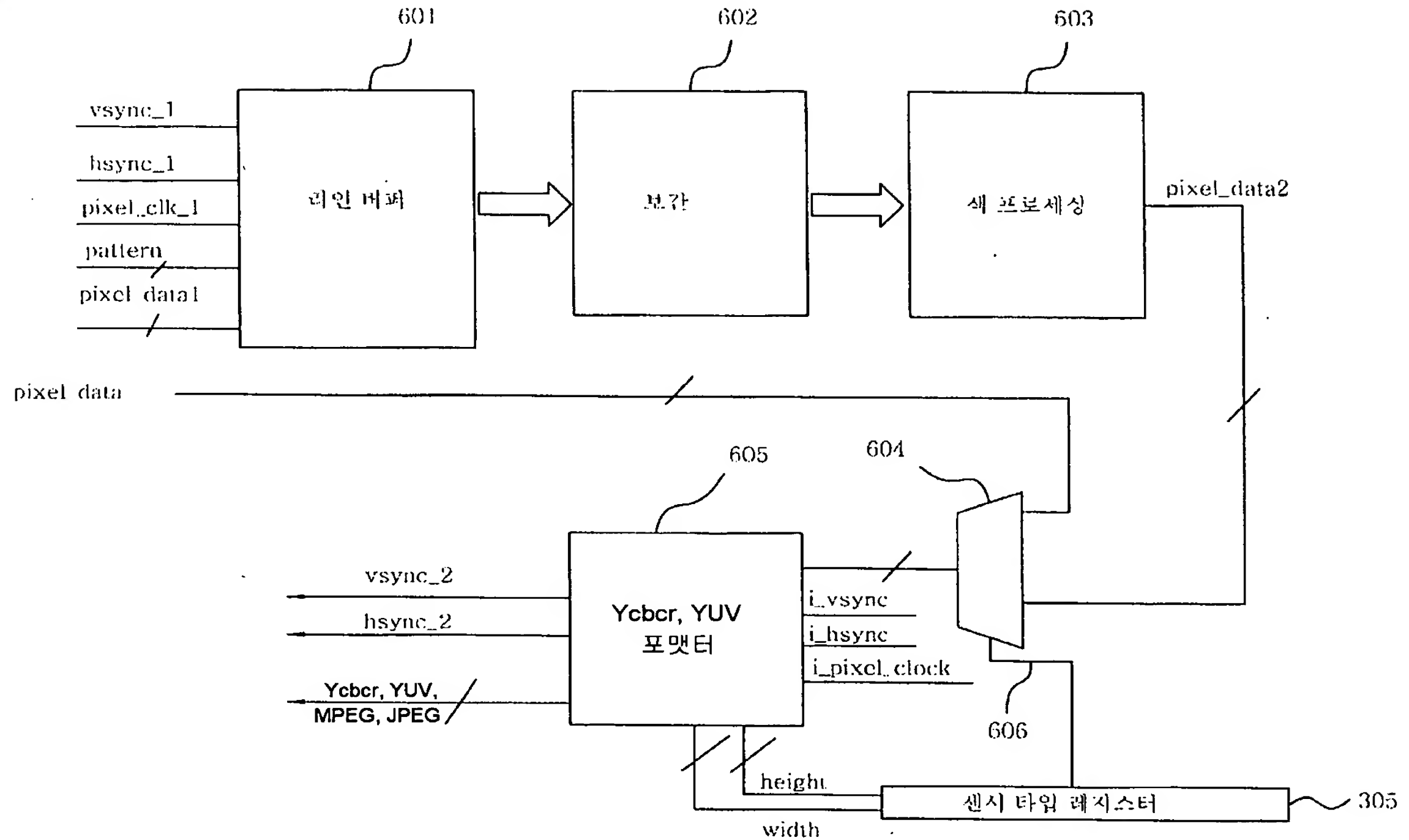
수직 크기 레지스터



【도 5】



【도 6】



【도 7】

Sensor	Vsync	Hsync	Pclk	Data Format	Size	Resolution	Active Pixel size	Control method
AU-60A(Hynics)	high	high	posedge	CbYCrY	1/4 inch	VGA	652x488	I2C
TCM8210MD(Toshiba)	high	high	negedge	UYVY	1/4 inch	VGA	660x492	I2C
OV7648 (Omnivision)	low	high	posedge	UYVY	1/4 inch	VGA	640x480	Serial SCCB
OV7635 (Omnivision)	low	high	posedge	UYVY	1/4 inch	VGA	640x480	Serial SCCB
HV7131G (Hynics)	low	high	posedge	BGBG ... GRGR	1/4 inch	VGA	652x488	I2C
PVO430DC (Pixelplus)	low	high	negedge	UYVY	1/4.5 inch	VGA	640x480	I2C
ZR32312(Zoran)	high	high	posedge	BGBG ... GRGR	1/3.4 inch	SXGA	1288x968	I2C(SMBUS)
Bi8831 (Biomorphic)	high	high	posedge	GRGR ... BGBG	1/3 inch	SXGA	1296x1040	3-wire serial int.
LZOP3721(Sharp)	high	high	posedge	UYVY	1/4 inch	SXGA	1172x896	I2C
OV9620(OmniVision)	low	high	negedge	BGBG ... GRGR	1/2 inch	SXGA	1280x1024	Serial SCCB
MCM20027(Motorola)	posedge	vclock low	posedge	GRGR ... BGBG	1/2 inch	SXGA	1280x1024	I2C
PT20503 (PICTOS)	high	high	posedge	GRGR ... BGBG		SXGA	1280x920	2wire serial int.
PO1130K	low	high	negedge	UYVY(CbYCrY)		SXGA	1280x1024	I2C